

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

1/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

008610214 \*\*Image available\*\*

WPI Acc No: 1991-114844/199116

XRPX Acc No: N91-088447

**Semiconductor EPROM - has memory cell structure in which FET source region is covered with conductive layer whose resistance is low**

**NoAbstract Dwg 1/11**

Patent Assignee: MITSUBISHI DENKI KK (MITO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 3057281 | A    | 19910312 | JP 89193543 | A    | 19890725 | 199116 B |

Priority Applications (No Type Date): JP 89193543 A 19890725

Title Terms: SEMICONDUCTOR; EPROM; MEMORY; CELL; STRUCTURE; FET; SOURCE; REGION; COVER; CONDUCTING; LAYER; RESISTANCE; LOW; NOABSTRACT

Derwent Class: U12; U13; U14

International Patent Class (Additional): G11C-016/02; H01L-027/11; H01L-029/78

File Segment: EPI

1/5/2 (Item 1 from file: 347)

DIALOG(R) File 347: JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03394381 \*\*Image available\*\*

NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 03-057281 JP 3057281 A]

PUBLISHED: March 12, 1991 (19910312)

INVENTOR(s): TERADA YASUSHI

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-193543 [JP 89193543]

FILED: July 25, 1989 (19890725)

INTL CLASS: [5] H01L-029/788; G11C-016/02; G11C-016/04; H01L-027/115; H01L-029/792

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: E, Section No. 1072, Vol. 15, No. 209, Pg. 12, May 28, 1991 (19910528)

#### ABSTRACT

PURPOSE: To make it possible to read and write with accuracy and improve the degree of integration by forming a low resistance conductive layer on a source region of a floating type transistor in a matrix array, and making a joint connection with said source region in a row direction.

CONSTITUTION: A conductive layer 21 whose resistance value is lower than a source diffusion region 3 of a transistor (TR) of a memory element having a floating gate in addition to a control gate 6 formed in matrix arrangement which is provided on a P type substrate 1, and the region is jointly connected in a row direction by way of a layer 21. Differing from the case when the source region is arranged to be common in the row direction, the configuration is capable of reducing the resistance of the region 3 so that the potential of each region 3 may not exceed a grounding potential during source grounding. Even when the gate 6 is slightly deviated vertically during the preparation, there is no effect upon that. Furthermore, this configuration makes it possible to write in and read out with accuracy and eliminate the need for a direct common interface for the regions 3 or an increase in size, thereby obtaining an EPROM whose degree of integration is highly upgraded.

## ⑫ 公開特許公報(A)

平3-57281

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月12日

H 01 L 29/788  
G 11 C 16/02  
16/04  
H 01 L 27/115  
29/792

7514-5F H 01 L 29/78 3 7 1  
8831-5F 27/10 4 3 4  
7131-5B G 11 C 17/00 3 0 7 D

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑰ 特 願 平1-193543

⑱ 出 願 平1(1989)7月25日

⑲ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

(1) フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタのソース領域上に、該ソース領域よりも低抵抗な導電層を設けたことを特徴とする不揮発性半導体記憶装置。

(2) フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタごとに独立して設けられたソース領域の行方向共通接続を、該ソース領域上を行方向に延設された導電層により行ったことを特徴とする不揮発性半導体記憶装置。

(3) フローティングゲートを有するメモリト

ランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタの前記ソース領域を行単位で選択的に接地レベルあるいはフローティング状態に設定するソース電位選択手段を備えたことを特徴とする不揮発性半導体記憶装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は電気的に書き込み可能な不揮発性半導体記憶装置のアレイ構成に関するものである。

## 〔従来の技術〕

第9図は従来のEPROMのメモリトランジスタ10を示す断面図である。同図において、1はP型半導体基板であり、2はN型のドレイン拡散領域、3はN型のソース拡散領域である。また、4はフローティングゲートであり、ドレイン拡散領域2の一部からソース拡散領域3の一部にかけて、ゲート酸化膜5を介して形成されている。さらにコントロールゲート6がゲート酸化膜7を介



してフローティングゲート4上に形成されている。また、ビット線8がドレイン拡散領域2に電気的に接続して形成されている。

第10図は従来のEPROMアレイを示す平面図である。第10図のA-A断面が第9図に相当する。第10図に示すように、メモリトランジスタ10はマトリクス状に配置され、ソース拡散領域3は行方向に共通に設けられている。ワード線11(コントロールゲート6)も行方向に共通に接続されている。

第11図は第10図に基づいた等価回路図である。第11図に示すようにそれぞれ2行分のメモリトランジスタ10のソースに共通に接続されたソース拡散領域3は、所定本数(図中3本)のビット線8からなるビット線群80単位で共通にソース線13に接続されている。また、ワード線11はロウデコード14に接続されており、ロウデコード14は2本のワード線11からなるワード線対110を選択的に活性化する。

このような構成において、メモリトランジスタ

値は7V以上に上昇する。

一方、読出しは読出を望むメモリトランジスタが接続されたワード線11に電源電圧程度の電圧を与え、ビット線8に1、2V程度の電圧を与え、ソース線13を接地することにより行われる。このように設定すると、情報“1”が記憶されており、メモリトランジスタ10の閾値が低くなっておれば、メモリトランジスタ10がオンしビット線8からソース線13にかけて電流が流れる。一方、情報“0”が記憶されており、メモリトランジスタ10の閾値が高くなっておればメモリトランジスタ10はオフし、ビット線8には電流が流れない。そこで、上記設定状態におけるビット線8に流れる電流の有無をセンスアンプで検出することにより読出しが行える。

(発明が解決しようとする課題)

従来のEPROMアレイは以上のように構成されており、以下に述べる問題点があった。

① ソース拡散領域3は同一行のメモリトランジスタのソースとして共通に形成され、このソー

10に記憶されたデータの消去は、メモリアレイに紫外線を照射することによって行われる。メモリトランジスタ10は紫外線を受けると、フローティングゲート4に蓄積されていた電子がエネルギーを得て、フローティングゲート4から酸化膜5あるいは7のバリアを越えてP型基板1あるいはコントロールゲート6に逃げだし、その閾値は低くなり、ほぼ1V程度になる。この状態を情報“1”が記憶されたとする。

上記した消去動作を行った後、情報“0”を寄りたいメモリトランジスタ10(以下、「選択メモリトランジスタ」という)に対して、以下に述べる寄込み動作を行う。まず、ロウデコード14等により、選択メモリトランジスタが接続されているワード線11、ビット線8に高電圧を印加し、ソース線13を接地する。

このように設定すると、選択メモリトランジスタのドレイン拡散領域2近傍のアバランシェ崩壊で生じたホットエレクトロンがフローティングゲート4に注入され、選択メモリトランジスタの閾

ス拡散領域3がソース線13に接続される構成となっているため、ソース線13とソース拡散領域3とのコンタクト部から離れているメモリトランジスタは、そのソース側に比較的大きな拡散抵抗を有することになる。

このため、ソース線13を接地していても、ソース線13とソース拡散領域3とのコンタクト部から離れているメモリトランジスタのソース電位は接地レベルより数分上昇してしまう。その結果、情報“1”を記憶したメモリトランジスタであっても読出し時にオフする可能性が高くなり、読出し精度が悪化するという問題点があった。

② ①で述べたように、ソース拡散領域3は同一行のメモリトランジスタのソースとして共通に形成されている。このようなソース拡散領域3を形成するため、拡散領域形成前に、P型基板1上に第6図(a)に示すように、開口部60を有するパターンの酸化膜50をドレイン、ソース拡散領域2、3形成用のマスクとして形成している。このため、コントロールゲート6を形成する工程に

において、コントロールゲート形成用のマスクの位置ずれ等によりコントロールゲート6が第10図の上下方向にずれ、開口部60上に位置すると以下に述べる問題が生じる。コントロールゲート6（ワード線11）が第10図の上下方向にずれて酸化膜50の開口部60Aの一部上にまで形成されると、ソース拡散領域3は、コントロールゲート6（ワード線11）と酸化膜50とをマスクとして形成されるため、行方向に隣接したメモリトランジスタ10のソース間を接続するためのソース拡散領域3aの形成幅が短くなる。このソース拡散領域3aの形成幅が短くなると、隣接するメモリトランジスタ10のソース間の拡散抵抗が増大してしまう。したがって、コントロールゲート6の位置ズレが多少生じてても、充分な低抵抗のソース拡散領域3aを形成できるよう工夫する必要があった。なぜなら、ソース拡散領域3aの拡散抵抗が増大すると、①で述べた理由により、読出し精度が悪化するからである。

上記した理由から、マスクの位置ずれ等により、

ジスタを介して、ビット線8からソース線13にかけて、リーク電流が流れてしまう。つまり、通常消去状態のメモリトランジスタの閾値は1V程度であるから、コントロールゲート6が接地されているとオフしているが、そのドレインに高電圧が印加されると、フローティングゲート4とドレイン拡散領域2間に形成される容量結合によりフローティングゲート4の電位が幾分上昇し、1Vの閾値を上回り、非選択のメモリトランジスタであってもオンしてしまう。

このように、オンしてしまう非選択のメモリトランジスタの数は無視できない。例えば、1本のビット線8に512個のメモリトランジスタ10が接続されており、このうちの1個のメモリトランジスタ10が選択されて書き込まれる場合、残りの511個のメモリトランジスタ10は、ビット線8が活性状態であるが、ワード線11は非活性状態の非選択メモリトランジスタとなる。このうち消去状態のメモリトランジスタは消去動作直後で511個、ほとんど書き込み動作を行った後でも

コントロールゲート6の形成箇所が多少ずれても、ソース拡散領域3aの形成幅が短くなることのないように、コントロールゲート6の形成領域とソース拡散領域3の形成領域との間にある程度のマージン（第10図中Lで示す）を設けることが不可欠になる。このため、このマージンLを設ける分メモリトランジスタの形成領域が大きくなり、集積度を損ねてしまう問題点があった。なお、フローティングゲート4と酸化膜50とをマスクとして、ドレイン、ソース拡散領域2、3を形成しても、フローティングゲート4の一部が酸化膜50の開口部60A上に形成されると同様な問題が生じる。

③ また、従来のEPROMのメモリトランジスタのソースは、第11図に示すように、ビット線群80単位で、共通にソース線13に接続されている。このため、書き込み時に、活性状態（高電圧 $V_{pp}$ 印加状態）のビット線8に接続され、非活性状態（接地レベル）のワード線11に接続され、かつ情報“0”を格納した非選択のメモリトラン

250個程度が存在すると推測できる。

このように、同じビット線8に接続されているメモリトランジスタ10のソースを共通にソース線13に接続した構成では、書き込み時に無視できないリーク電流がビット線8からソース線13にかけて流れてしまうため、ビット線8の電位が下がり書き込み効率が悪化してしまうという問題点があった。

この発明は上記のような問題点①～③を解決するためになされたもので、読出し、書き込みが正確に行え、集積度を向上させた不揮発性半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかる請求項1記載の不揮発性半導体記憶装置は、フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続されており、前記メモリトランジスタのソース領域上に、該ソース領域よりも低抵抗な導電層を設けている。

また、請求項2記載の不揮発性半導体記憶装置

は、フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続されており、前記メモリトランジスタごとに独立して設けられたソース領域の行方向共通接続を、該ソース領域上を行方向に延設された導電層により行っている。

さらに、請求項3記載の不揮発性半導体記憶装置は、フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続されており、前記メモリトランジスタの前記ソース領域を行単位で選択的に接地レベルあるいはフローティング状態に設定するソース電位選択手段を備えている。

#### (作用)

請求項1記載の不揮発性半導体記憶装置においては、メモリトランジスタのソース領域上に、該ソース領域よりも低抵抗な導電層を設けているため、導電層を設けた分ソース領域の抵抗値が下がる。

また、請求項2記載の不揮発性半導体記憶装置

図から成る低抵抗な導電層21がソース拡散領域3上に平行に設けられている。なお、他の構成は従来と同様であるため説明は省略する。また、等価回路図は従来の第11図と全く同一になる。

第3図は第1図、第2図で示した第1の実施例のEPROMのメモリトランジスタの製造方法を示す断面図である。以下、同図を参照しつつその製造方法を説明する。従来から行われてきた方法によりドレイン、ソース拡散領域2、3、フローティングゲート4及びゲート酸化膜5形成後、フローティングゲート4上全面に酸化膜7を形成する。なお、ドレイン、ソース拡散領域2、3はフローティングゲート4をマスクとして形成されている。そして、フローティングゲート4下に位置しないソース、ドレイン拡散領域2、3上のゲート酸化膜5、7を除去した後、全面に低抵抗な導電層23を同図(a)に示すように形成する。

そして、導電層23の全面エッチングを薄く行う。これにより、同図(b)に示すように、導電層23の段差部分の膜厚の薄い部分がエッチングさ

においては、メモリトランジスタごとに独立して設けられたソース領域の行方向共通接続を、該ソース領域上を行方向に延設された導電層により行っているため、ソース領域を行方向のメモリトランジスタ間で共通に形成する必要はない。

さらに、請求項3記載の不揮発性半導体記憶装置におけるソース電位設定手段は、メモリトランジスタのソース領域を行単位で選択的に接地レベルあるいはフローティング状態にするため、非選択行のメモリトランジスタのソース領域をフローティング状態にすることにより、非選択行のメモリトランジスタに電流が流れることを確実に阻止することができる。

#### (実施例)

第1図はこの発明の第1の実施例であるEPROMのメモリトランジスタ20を示す断面図である。第2図はその平面図である。第2図のB-B断面が第1図に相当する。

これらの図に示すように、ポリシリコン、ポリサイド、シリサイドもしくはアルミニウム等の金

れ、導電層23の膜厚の薄い部分が残ることにより、導電層23がコントロールゲート6と導電層21、24に分離される。

その後、ドレイン拡散領域2上の導電層24をエッチングにより選択的に除去し、同図(c)に示すようにドレイン拡散領域2上に電気的接触したビット線8を形成する。

なお、導電層21の形成は、フローティングゲート4を形成する工程時に同時に行ってもよく、また、導電層21のみを別の工程により形成してもよく、あるいはコントロールゲート6、フローティングゲート4と共に3層構造(第7B図参照)で形成してもよい。また第4図に示すように、導電層21形成時に、例えば第3図(b)の工程を利用してドレイン拡散領域2上にも導電層25を形成し、この導電層25をビット線8とのコンタクトに利用してもよい。ただし導電層25は各メモリトランジスタのドレイン拡散領域2上に独立して形成する必要がある。

上記した構成のメモリトランジスタ20は、ソ

ソース拡散領域3上に平行して低抵抗な導電層21が形成されることになり、ソース拡散領域3の低抵抗化が図るため、読出し時にソース電位が上昇することに伴う読出し精度の悪化するという問題点①を解決し、読出し精度の向上が図れる。なお、導電層21は、ソース拡散領域3上に断続的に形成しても、低抵抗化が図れる。

第5図は、この発明の第2の実施例であるEPRROMを示す平面図、第6図はP型基板1上に形成するマスク用酸化膜の従来との違いを示す模式図、第7A図は第5図のC-C断面図である。

第5図に示すように、メモリトランジスタ30のソース拡散領域33は各々独立して形成されている。そして、行単位でソース拡散領域33を共通に接続するため、行方向のソース拡散領域33上に沿ってポリシリコン等の導電層31が形成されている。したがって、ドレイン、ソース拡散領域2、3形成用のマスクとしてP型基板1上に形成される酸化膜50'のパターンは第6図(b)で示すようになり、その開口部60'も列方向にの

み共通に形成されており、第6図(a)で示した従来例の酸化膜50のように開口部60を行方向及び列方向に共通に形成しない。

このような構成のEPRROMは、酸化膜50'のパターンが異なるのみで、第3図で示したEPRROMの製造方法と同様に形成することができる。また、第7B図に示すように3層構造で形成してもよい。

このように構成すると、コントロールゲート6を形成する工程において、マスクの位置ずれ等によりコントロールゲート6が第5図の上下方向にずれても、行方向に隣接するメモリトランジスタ30のソース間の接続を導電層31で行うことにより、ソース拡散領域33を行方向に隣接するメモリトランジスタ30のソース間を接続するように設ける必要をなくしているため、問題点②が解決できる。

第8図はこの発明の第3の実施例を示す回路図である。同図に示すように、2行ごとのメモリトランジスタ40のソースが共通に接続されたソー

ス接続線41が、それぞれソースデコード42に接続されている。なお、ソース接続線41は、従来例のようにソース拡散領域3により形成しても、第2の実施例のように導電層31を用いてもよい。ソースデコード42は、書き込み及び読出し時に選択されメモリトランジスタが接続されたソース接続線41のみ接地レベルに設定し、他のソース接続線41をフローティング状態にしている。なお、他の構成は第11図で示した従来例と同様であるため説明は省略する。

このように構成すると、ビット線8及びソース接続線41を共用するメモリトランジスタ40は2個になるため、書き込み時に活性状態(高電圧 $V_{pp}$ 印加状態)のビット線8に接続され、非活性状態(接地レベル)のワード線11に接続され、かつ接地レベルのソース接続線41に接続された非選択のメモリトランジスタ40の数は1個である。したがって、リーク電流は最大で、情報"0"を記憶した1個のメモリトランジスタ40から生じる電流となる。この程度のリーク電流は無視でき

るため、問題点③で述べたような書き込み効率の悪化は起こりえない。

なお、上記した第1～第3の実施例では、それぞれその効果が異なるため、これらを適当に組合せることにより、複数の効果をもたらすEPRROMを得ることができる。例えば第2の実施例のメモリトランジスタ30を用いて、第3の実施例の回路構成を形成すれば、集積度を向上させつつ書き込み精度を向上させることができる。

#### (発明の効果)

以上説明したように、請求項1記載の不揮発性半導体記憶装置によれば、各メモリトランジスタのソース領域上に、該ソース領域よりも低抵抗な導電層を設けているため、導電層を設けた分ソース領域の低抵抗化が図れ、メモリトランジスタのソース領域が行方向に共通接続されていても、読出し精度が悪化することはない。

また、請求項2記載の不揮発性半導体記憶装置によれば、メモリトランジスタごとに独立して設けられたソース領域の行方向共通接続を、該ソー

ス領域上を行方向に延設された導電層により行っているため、ソース領域を行方向のメモリトランジスタ間で共通に形成する必要をなくしているため、高集積化が図れる。

さらに、請求項3記載の不揮発性半導体記憶装置によれば、ソース電位選択手段により、メモリトランジスタのソース領域を行単位で選択的に接地レベルあるいはフローティング状態に設定するため、非選択行のメモリトランジスタに電流が流れることはなく、読出し時のリーク電流が大幅に削減されることにより、読出し精度が向上する。

#### 4. 図面の簡単な説明

第1図はこの発明の第1の実施例であるEPRMのメモリトランジスタを示す断面図、第2図はその平面図、第3図は第1の実施例のEPRMの製造方法を示す断面図、第4図は第1の実施例のEPRMのメモリトランジスタの変形例を示す断面図、第5図はこの発明の第2の実施例であるEPRMを示す平面図、第6図はマスク用硬化膜の従来との違いを示す模式図、第7A図及

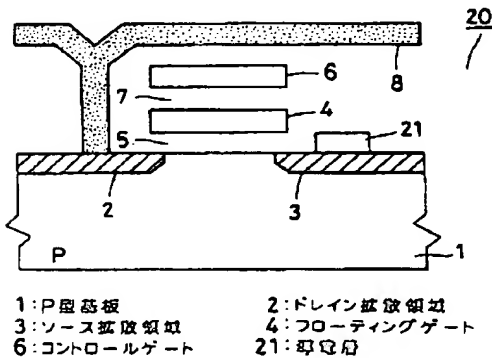
び第7B図は第2の実施例のメモリトランジスタを示す断面図、第8図はこの発明の第3の実施例であるEPRMを示す回路構成図、第9図は従来のEPRMのメモリトランジスタを示す断面図、第10図は従来のEPRMの平面図、第11図は従来のEPRMの回路構成図である。

図において、1はP型基板、2はドレイン拡散領域、3はソース拡散領域、4はフローティングゲート、6はコントロールゲート、21、31は導電層、41はソース接続線、42はソースデコードである。

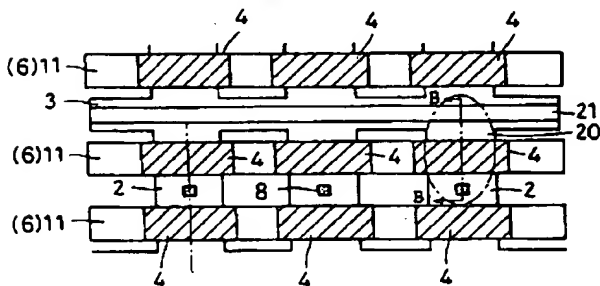
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

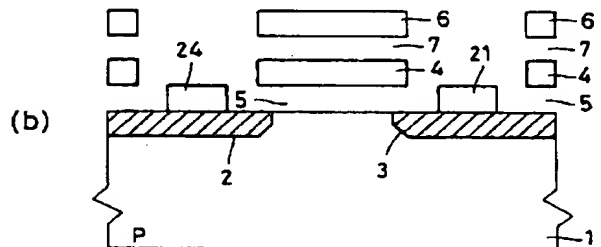
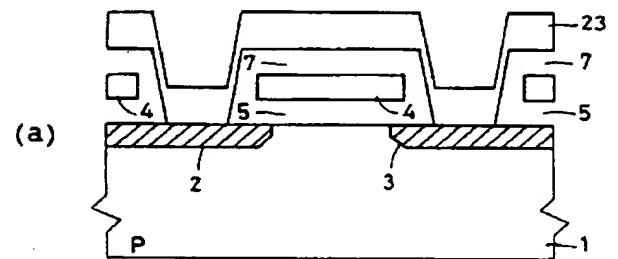
第1図



第2図

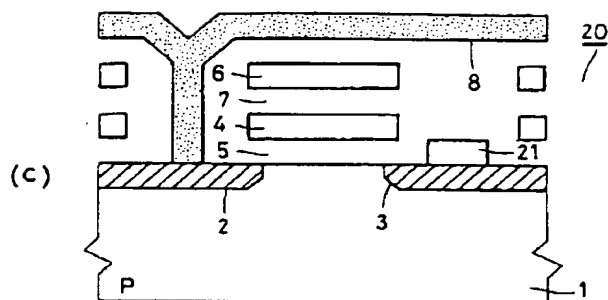


第3図(その1)

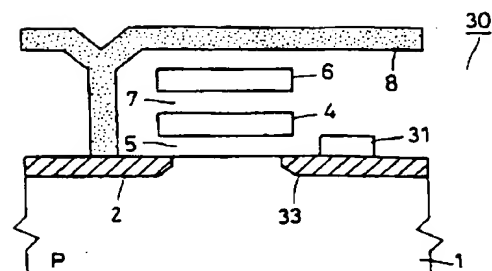




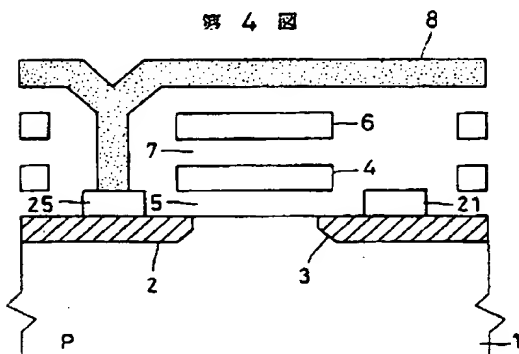
第 3 図 (その 2)



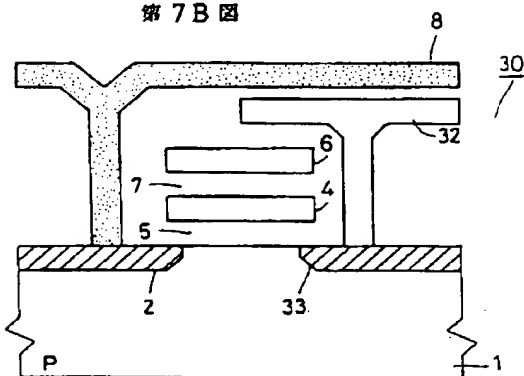
第 7A 図



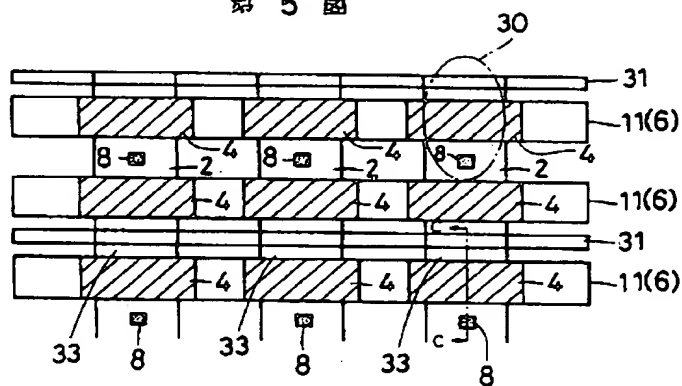
第 4 図



第 7B 図

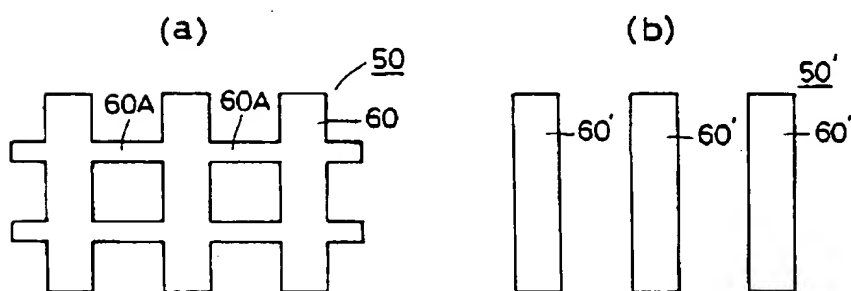


第 5 図

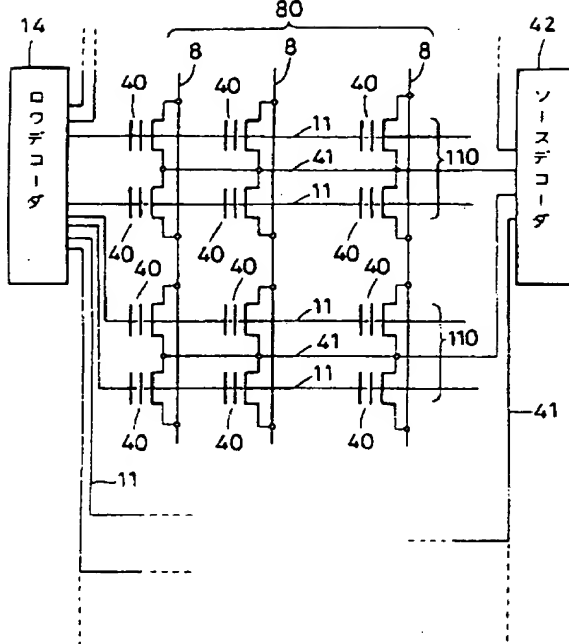


31: 導電層

第 6 図

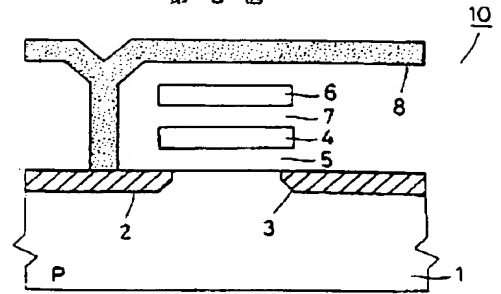


第 8 図

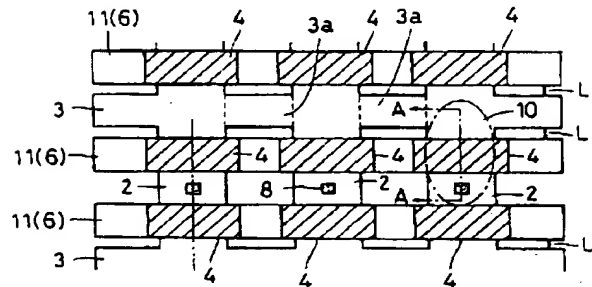


41: ソース接続線

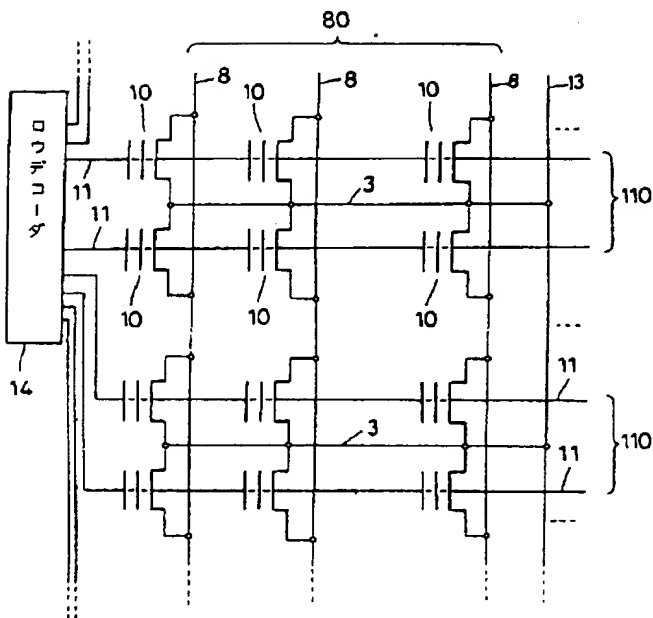
第 9 図



第 10 図



第 11 図



手続補正書 (自発)

平成 1 年 2 月 4 日

特許庁長官殿

1. 事件の表示

平 特願 1-193543

2. 発明の名称

不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目 2 番 3 号  
名 称 (601) 三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目 2 番 3 号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先 03(213) 3421 特許部)



## 5. 修正の対象

明細書の「特許請求の範囲の欄」および「発明の詳細な説明の欄」

## 6. 修正の内容

(1) 明細書の特許請求の範囲を別紙の通り修正する。

(2) 明細書第2頁第20行の「ゲート酸化膜7」を、「酸化膜7」に訂正する。

(3) 明細書第3頁第17行ないし第19行の「ロウデコーダ14は…活性化する。」を、「ロウデコーダ14は1本のワード線1を選択的に活性化する。」に訂正する。

(4) 明細書第9頁第20行ないし第10頁第1行の「511個、ほとんど…推測できる。」を、「511個存在する。」に訂正する。

(5) 明細書第11頁第3行ないし第4行の「前記メモリトランジスタごとに独立して設けられたソース領域」を、「前記メモリトランジスタの前記ソース領域」に訂正する。

(8) 明細書第12頁第1行ないし第2行の

「メモリトランジスタごとに独立して設けられたソース領域」を、「メモリトランジスタのソース領域」に訂正する。

(7) 明細書第13頁第15行ないし第16行の「ゲート酸化膜5、7」を、「ゲート酸化膜5及び酸化膜7」に訂正する。

(8) 明細書第18頁第19行ないし第20行の「メモリトランジスタごとに独立して設けられたソース領域」を、「メモリトランジスタのソース領域」に訂正する。

以上

## 2. 特許請求の範囲

(1) フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタのソース領域上に、該ソース領域よりも低抵抗な導電層を設けたことを特徴とする不揮発性半導体記憶装置。

(2) フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタの前記ソース領域の行方向共通接続を、該ソース領域上を行方向に延設された導電層により行ったことを特徴とする不揮発性半導体記憶装置。

(3) フローティングゲートを有するメモリトランジスタがマトリクス状に配置され、そのソース領域が行方向に共通接続された構成の不揮発性半導体記憶装置において、

前記メモリトランジスタの前記ソース領域を行単位で選択的に接地レベルあるいはフローティング状態に設定するソース電位選択手段を備えたことを特徴とする不揮発性半導体記憶装置。